

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-090374**

(43)Date of publication of application : **29.03.1994**

(51)Int.Cl.

H04N 3/26

(21)Application number : **04-239203** (71)Applicant : **FUJITSU GENERAL LTD**

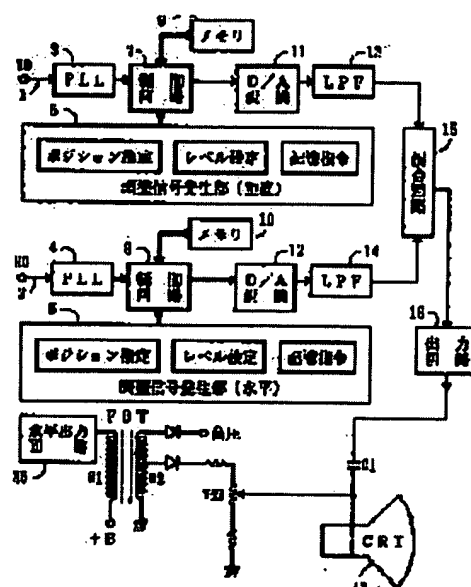
(22)Date of filing : **08.09.1992** (72)Inventor : **MATSUURA SHOJI**

## (54) DYNAMIC FOCUS CIRCUIT

(57)Abstract:

**PURPOSE:** To improve the quality of focus by generating digitally a parabolic voltage for a horizontal and a vertical period required for dynamic focus in a cathode ray tube.

**CONSTITUTION:** One horizontal period and one horizontal period are respectively divided into a required number of periods, and a digital level is set to the vertical and horizontal divided periods through adjustment (PLLs 3, 4, adjustment signal generating sections 5, 6 and control circuits 7, 8). Vertical and horizontal digital levels for each set period are respectively D/A-converted by D/A converter circuits 11, 12. Since the analog output is a voltage waveform changing stepwise for each period, a vertical and a horizontal parabolic voltage are obtained through LPFs 13, 14. The horizontal and vertical parabolic voltages are mixed by a mixer circuit 15 and an output circuit 16 amplifies the result to have a required level. The amplified output is superimposed on a DC focus voltage from the FBT via a capacitor C1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-90374

(43)公開日 平成6年(1994)3月29日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 3/26

識別記号

庁内整理番号

7337-5C

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号

特願平4-239203

(22)出願日

平成4年(1992)9月8日

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 松浦 昌治

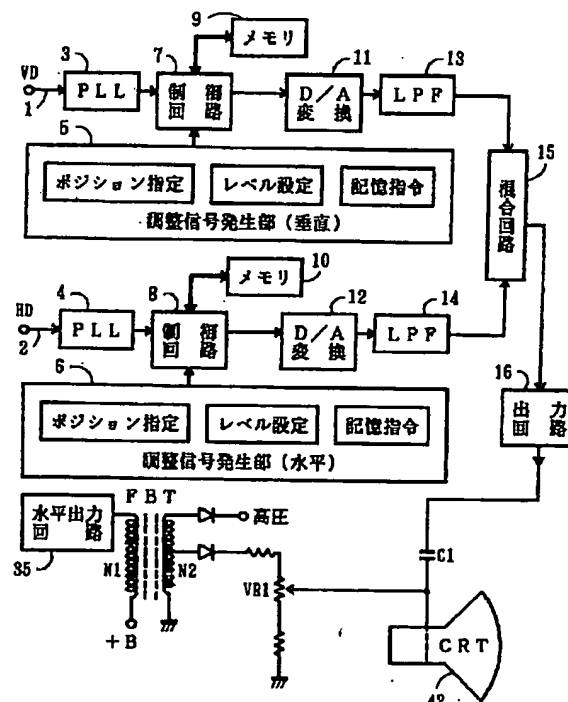
川崎市高津区末長1116番地 株式会社富士  
通ゼネラル内

(54)【発明の名称】 ダイナミックフォーカス回路

(57)【要約】

【目的】 ブラウン管におけるダイナミックフォーカスに必要な水平および垂直周期のパラボラ電圧をデジタル的に生成する。

【構成】 1 垂直周期期間内および1 水平周期期間内をそれぞれ所要数の区間に分割し、その分割した区間ごとに調整によりデジタル的なレベルを垂直および水平それぞれ設定をする〔各PLL(3、4)、各調整信号発生部(5、6)、各制御回路(7、8)〕。設定した区間ごとの垂直および水平各デジタルレベルをそれぞれ各D/A変換回路(11、12)でD/A変換する。このアナログ出力は前記区間ごとに階段状に変化する電圧波形となるので各LPP(13、14)を通すことで垂直および水平のパラボラ電圧が得られる。この垂直および水平のパラボラ電圧を混合回路15で混合し、出力回路16で所要レベルに増幅する。増幅出力はコンデンサC1を介してF B Tよりの直流フォーカス電圧に重畳される。



## 【特許請求の範囲】

【請求項1】 ブラウン管におけるいわゆるダイナミックフォーカスにおいて、1垂直周期の期間内を均等に所要数の区間に分けた該区間ごとにデジタルレベルを可変して設定し、該区間毎からなる第1のデジタルレベルの信号を生成する第1の発生手段と、前記第1の発生手段による第1のデジタルレベルの信号を第1のアナログ信号に変換する第1のD/A変換回路と、前記第1のデジタルレベルの信号を前記区間と対応せしめて記憶する第1のメモリ部と、前記第1のD/A変換回路よりの第1のアナログ信号の低域成分を通過させて垂直周期のバラボラ電圧を出力する第1のローパスフィルタと、1水平周期の期間内を均等に所要数の区間に分けた該区間ごとにデジタルレベルを可変して設定し、該区間毎からなる第2のデジタルレベルの信号を生成する第2の発生手段と、前記第2の発生手段による第2のデジタルレベルの信号を第2のアナログ信号に変換する第2のD/A変換回路と、前記第2のデジタルレベルの信号を前記区間と対応せしめて記憶する第2のメモリ部と、前記第2のD/A変換回路よりの第2のアナログ信号の低域成分を通過させて水平周期のバラボラ電圧を出力する第2のローパスフィルタと、前記第1のローパスフィルタよりの垂直周期のバラボラ電圧と前記第2のローパスフィルタよりの水平周期のバラボラ電圧とを混合する混合回路と、該混合回路よりの混合したバラボラ電圧を所要の電圧に増幅する出力回路とで構成したことを特徴とするダイナミックフォーカス回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ブラウン管におけるいわゆるダイナミックフォーカスにおいて、該ダイナミックフォーカスに必要な水平および垂直周期のバラボラ電圧をデジタル的に生成することにより必要なバラボラ波形が容易に得られるようにしたダイナミックフォーカス回路に関する。

## 【0002】

【従来の技術】 従来のダイナミックフォーカス回路を図3に示す。また、図4はダイナミックフォーカスを説明するためのフォーカス電圧の波形図である。以下、図3および図4に基づき従来のダイナミックフォーカスにつき説明する。尚、フォーカス電圧を図4のように、画面の周辺部へ行くに従い中心部よりバラボラ状に高くするのは、周辺部へ行くに従い最適フォーカス電圧が高くなり、その変化がバラボラ的であることを要するからである。垂直出力回路31よりの垂直鋸波電圧32を積分回路33で積分する。この積分により垂直バラボラ波34が得られる。同様に、水平出力回路35よりの水平鋸波電圧36を積分回路37で積分すれば水平バラボラ波38が得られる。垂直バラボラ波34と水平バラボラ波38とを混合回路39で混合する。この混合回路39の出力電圧（振幅）は、必要と

するフォーカス電圧に対し小さいので出力回路40で位相を含めて増幅し、所要の位相と振幅の混合（水平および垂直）バラボラ電圧にする。一方、水平出力回路35と接続されたフライバックトランス（FBT）の高圧巻線（N2）から高圧とともに直流フォーカス電圧を取り出し、フォーカス調整ボリュームVR1で所要の電圧に調整してブラウン管42（CRT）のフォーカス電極に印加する。このVR1からの直流フォーカス電圧に前記出力回路40よりの混合バラボラ電圧をコンデンサC1を介して重畳する。このバラボラ電圧が重畳されたフォーカス電圧（VF）を図4（A）に示す。図において、VFは前記VR1からの直流フォーカス電圧を示し、このVFに垂直周期（1V）のバラボラ電圧と水平周期（1H）のバラボラ電圧との混合バラボラ電圧が重畳する。図4（B）は水平周期のバラボラ電圧を示す。

## 【0003】

【発明が解決しようとする課題】 前記説明のように、画面上の中心部および周辺部全領域で最良フォーカスを得るには、フォーカス電圧を図4（A）のようにバラボラ状に変化する必要があるが、その最適バラボラ波形はブラウン管の種類により異なるだけでなく、同一管種でもバラツキがある。この場合に、図3のような積分回路によりバラボラを生成する方法では所要のバラボラ波形とすることに限界があり、従って、画面全領域でのフォーカス品位には一定の限界があった。本発明は、画面の大型化傾向の下、画面全領域におけるフォーカス品位をさらに向上させるべく、水平および垂直のバラボラ電圧をデジタル的に生成し、このバラボラ波を使用してフォーカス電圧を得るようにしたダイナミックフォーカス回路を提供することを目的とする。

## 【0004】

【課題を解決するための手段】 本発明は、1垂直周期の期間内を均等に所要数の区間に分けた該区間ごとにデジタルレベルを可変して設定し、該区間毎からなる第1のデジタルレベルの信号を生成する第1の発生手段と、前記第1の発生手段による第1のデジタルレベルの信号を第1のアナログ信号に変換する第1のD/A変換回路と、前記第1のデジタルレベルの信号を前記区間と対応せしめて記憶する第1のメモリ部と、前記第1のD/A変換回路よりの第1のアナログ信号の低域成分を通過させて垂直周期のバラボラ電圧を出力する第1のローパスフィルタと、1水平周期の期間内を均等に所要数の区間に分けた該区間ごとにデジタルレベルを可変して設定し、該区間毎からなる第2のデジタルレベルの信号を生成する第2の発生手段と、前記第2の発生手段による第2のデジタルレベルの信号を第2のアナログ信号に変換する第2のD/A変換回路と、前記第2のデジタルレベルの信号を前記区間と対応せしめて記憶する第2のメモリ部と、前記第2のD/A変換回路よりの第2のアナログ信号の低域成分を通過させて水平周期

のバラボラ電圧を出力する第2のローパスフィルタと、前記第1のローパスフィルタよりの垂直周期のバラボラ電圧と前記第2のローパスフィルタよりの水平周期のバラボラ電圧とを混合する混合回路と、該混合回路よりの混合したバラボラ電圧を所要の電圧に増幅する出力回路とで構成したダイナミックフォーカス回路を提供するものである。

#### 【0005】

【作用】1垂直周期期間内および1水平周期期間内をそれぞれ所要数の区間に分割し、その分割した区間ごとに調整によりディジタル的なレベルを垂直および水平それぞれ設定をする。設定した区間ごとの垂直および水平各ディジタルレベルをそれぞれD/A変換する。該D/A変換によるアナログ出力は前記区間ごとに階段状に変化する電圧波形となる。該D/A変換出力をそれぞれLPFを通すことで垂直および水平のバラボラ電圧が得られる。この垂直および水平のバラボラ電圧を混合し、所要レベルに増幅する。増幅出力はコンデンサを介してフライバックトランスよりの直流フォーカス電圧に重畳される。

#### 【0006】

【実施例】以下、図面に基づき本発明によるダイナミックフォーカス回路を説明する。図1は本発明によるダイナミックフォーカス回路の一実施例を示す要部ブロック図、図2は図1におけるバラボラ電圧生成の説明図である。図1において、1は垂直同期信号または垂直周期パルスの垂直ドライブ信号(VD)、2は水平同期信号または水平周期パルスの水平ドライブ信号(HD)、3と4は前記VDまたはHDそれぞれに同期したクロック信号を発生する第1のPLLと第2のPLL、5と6は垂直バラボラ波生成と水平バラボラ波生成とに供する第1の調整信号発生部と第2の調整信号発生部、7と8は前記各PLLよりのクロック信号と各調整信号発生部よりの調整信号とから1垂直周期または1水平周期それぞれを所要数に分けた区間ごとに設定したディジタルレベルデータを出力する第1の制御回路と第2の制御回路、9と10は前記各制御回路から出力されるディジタルレベルデータをそれぞれ記憶する第1のメモリ部と第2のメモリ部、11と12は前記各制御回路よりのディジタルレベルデータをそれぞれアナログ電圧に変換する第1のD/A変換回路と第2のD/A変換回路、13と14は前記各D/A変換回路よりの信号からそれぞれ低域周波数成分のみを取り出し、垂直バラボラ電圧と水平バラボラ電圧とを得る第1のLPF(低域通過フィルタ)と第2のLPF、15は第1および第2のLPFよりの垂直バラボラ電圧と水平バラボラ電圧とを混合する混合回路、16は混合回路15よりの混合バラボラ電圧を所定レベルに増幅する出力回路である。その他、図3と同等のものは同一符号を付した。

【0007】次に、本発明の動作について説明する。本発明の特徴は、垂直バラボラ波と水平バラボラ波とをデ

ィジタル的に生成するようにしたことである。このために、1垂直周期および1水平周期をそれぞれ所要数の区間に分割する。この分割数は任意であるが、必要とするバラボラ波の精度や調整のし易さ等を考慮して予め(設計段階)で決めておく。本実施例では、1垂直周期を10等分、1水平周期を20等分とした。この分割例を図2

(A)(C)に示す。(A)が垂直バラボラに、(C)が水平バラボラにそれぞれ対応する。尚、同図(B)は(A)に対応した垂直バラボラ波、同図(D)は(C)に対応した水平バラボラ波である。この程度の分割で十分と考えるが、さらに補正精度を上げる場合にはこの分割数を増やせばよい。図2(A)(C)に示すように、各分割したポジション〔垂直(P1~P10)、水平(P1~P20)〕ごとにディジタル的にレベル設定する。この設定が各バラボラ波生成の調整である。具体的には前記ポジションを指定し、指定したポジションごとにレベルを設定する。従って、このポジションを指定する機能と、レベル設定のための調整信号の出力機能とが必要となる。これらの機能を具備したものが第1の調整信号発生部(垂直)5および第2の調整信号発生部(水平)6である。

【0008】以上のようにして各第1および第2の調整信号発生部それぞれより出力された各ポジションごとの調整信号は第1の制御回路7および第2の制御回路8に入力する。一方、第1の制御回路7には垂直ドライブ信号(VD)に同期したクロック信号が、第2の制御回路8には水平ドライブ信号(HD)に同期したクロック信号がそれぞれ入力される。そこで、各制御回路はこのクロック信号と前記調整信号とから、各ポジションごとに該調整信号に対応したレベルのディジタルデータを出力する。そして、第1の制御回路7よりのディジタルデータは第1のD/A変換回路11により、第2の制御回路8よりのディジタルデータは第2のD/A変換回路によりそれぞれディジタル信号からアナログ信号に変換される。各D/A変換回路出力は図2(A)および(C)に示すようになる。

【0009】この出力電圧波形は図示のように、階段状であるので、この階段状を除去するために第1のLPF13および第2のLPF14を用いる。それぞれのLPFにより階段状波形から高周波成分を除去し、純粋の垂直および水平のバラボラ電圧にする。第1のLPF13の出力を図2(B)に、第2のLPF14の出力を同(D)に示す。図中の「1V」は1垂直周期を、「1H」は1水平周期を意味する。尚、第1のLPF13の遮断周波数と第2のLPF14の遮断周波数とは、それぞれ扱う周波数が相違するので異なる。第1のLPF13よりの垂直バラボラ電圧と第2のLPF14よりの水平バラボラ電圧とを混合回路15で混合する。混合回路15の出力レベルでは、最終的に必要なレベルに対して低い電圧であるので、出力回路16で増幅する。増幅した電圧はコンデンサC1を介し、フ

ライバックトランス (FBT) よりの直流フォーカス電圧に重畳する。重畳した最終的なフォーカス電圧が図4になることはいうまでもない。

【0010】以上のようにしてダイナミックフォーカスに要する電圧を生成するが、そのパラボラ波の最適状態は前述したように調整により設定する。その設定が最適か否かの判断はオシロスコープによる各パラボラ波形観測と画面上のフォーカス品位とを見比べつつ行うとよい。調整により最適状態に設定したなら、各ポジションごとのレベルは第1のメモリ部9および第2のメモリ部10にそれぞれ記憶する。この記憶は第1の調整信号発生部5および第2の調整信号発生部6それぞれの操作により第1の制御回路7が第1のメモリ部9に、第2の制御回路8が第2のメモリ部10にそれぞれ記憶させる。各メモリ部に記憶後の通常使用時には、各メモリ部より記憶データが読み出され、そのデータにより所要のパラボラ電圧が出力される。

【0011】

【発明の効果】以上説明したように本発明によれば、ブラウン管のダイナミックフォーカスに要する垂直および水平周期のパラボラ電圧をデジタル制御により生成し、且つそのパラボラ波形をポイント (区間) ごとに任意に変換することができるので、従来の積分回路によりパラボラ波を生成する方法 (図3) に比べ、部分的な補正量の増減が可能となりフォーカス品位の向上を図ることができる。特に、広偏向角の大型ブラウン管に効果を上げることができるものである。

【図面の簡単な説明】

【図1】本発明によるダイナミックフォーカス回路の一実施例を示す要部ブロック図である。

【図2】図1におけるパラボラ電圧生成の説明図である。

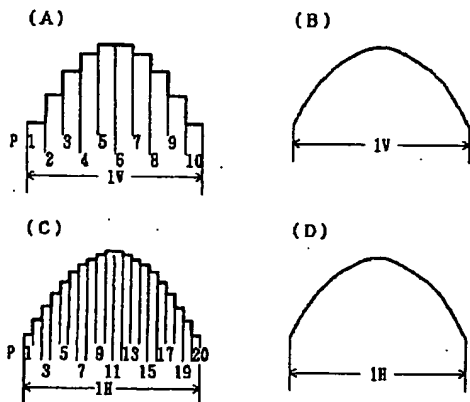
【図3】従来におけるダイナミックフォーカス回路の一実施例を示す要部ブロック図である。

【図4】ダイナミックフォーカスの説明のためのフォーカス電圧波形図である。

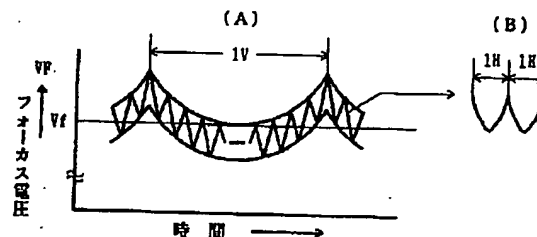
【符号の説明】

- 1 垂直ドライブ信号 (VD)
- 2 水平ドライブ信号 (HD)
- 3 第1のPLL
- 4 第2のPLL
- 5 第1の調整信号発生部
- 6 第2の調整信号発生部
- 7 第1の制御回路
- 8 第2の制御回路
- 9 第1のメモリ部
- 10 第2のメモリ部
- 11 第1のD/A変換回路
- 12 第2のD/A変換回路
- 13 第1のLPF (低域通過フィルタ)
- 14 第2のLPF (低域通過フィルタ)
- 15 混合回路
- 16 出力回路
- FBT フライバックトランス
- 42 ブラウン管 (CRT)

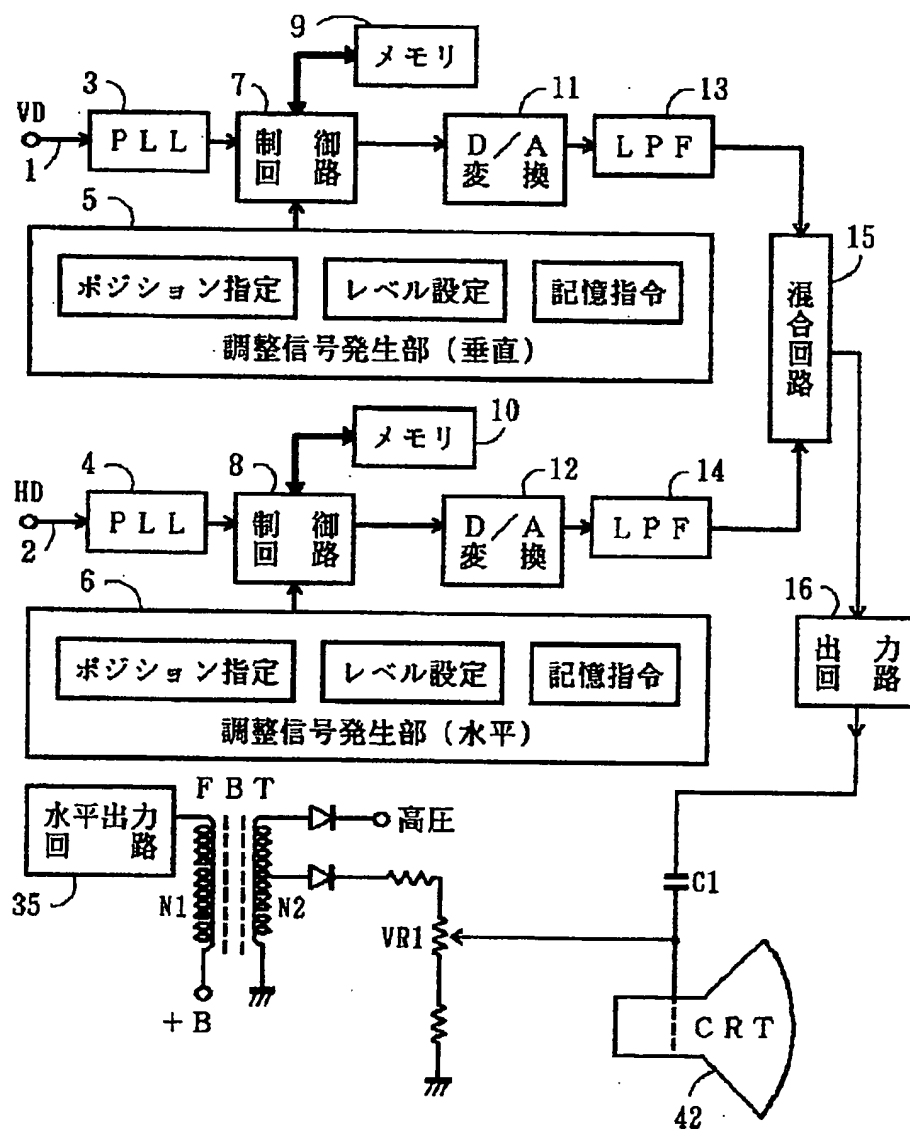
【図2】



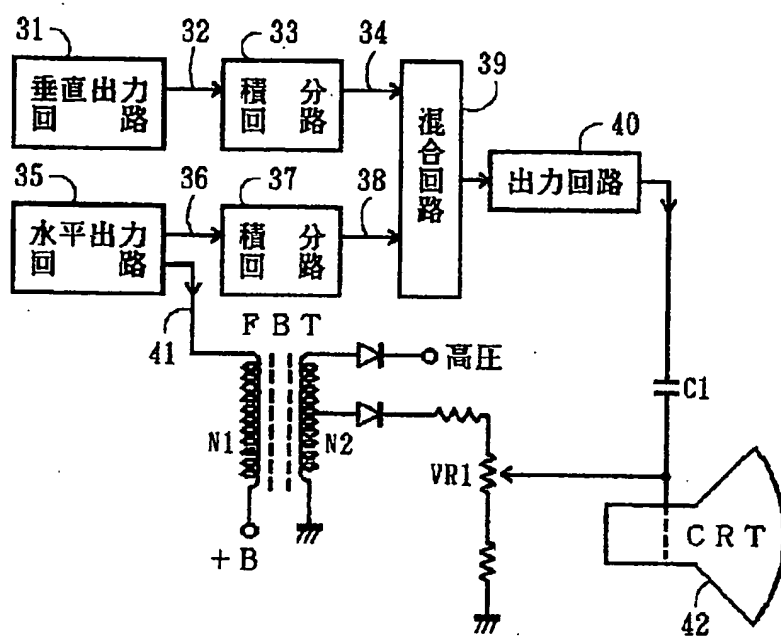
【図4】



【図1】



【図3】





## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-090374

(43)Date of publication of application : 29.03.1994

(51)Int.Cl.

H04N 3/26

(21)Application number : 04-239203

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 08.09.1992

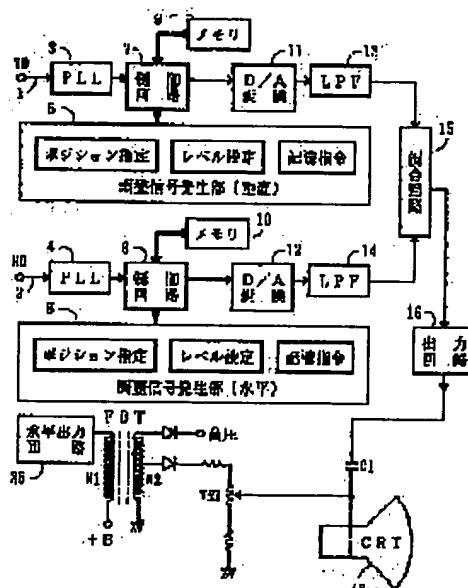
(72)Inventor : MATSUURA SHOJI

## (54) DYNAMIC FOCUS CIRCUIT

## (57)Abstract:

PURPOSE: To improve the quality of focus by generating digitally a parabolic voltage for a horizontal and a vertical period required for dynamic focus in a cathode ray tube.

CONSTITUTION: One horizontal period and one horizontal period are respectively divided into a required number of periods, and a digital level is set to the vertical and horizontal divided periods through adjustment (PLLs 3, 4, adjustment signal generating sections 5, 6 and control circuits 7, 8). Vertical and horizontal digital levels for each set period are respectively D/A-converted by D/A converter circuits 11, 12. Since the analog output is a voltage waveform changing stepwise for each period, a vertical and a horizontal parabolic voltage are obtained through LPFs 13, 14. The horizontal and vertical parabolic voltages are mixed by a mixer circuit 15 and an output circuit 16 amplifies the result to have a required level. The amplified output is superimposed on a DC focus voltage from the FBT via a capacitor C1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY